

MEMORY CARTRIDGE

Patent Number: EP0420994, A4, B1

Publication date: 1991-04-10

Inventor(s): OKADA SATORU NINTENDO CO LTD (JP)

Applicant(s): NINTENDO CO LTD (JP)

Requested Patent: WO9013085

Application Number: EP19900906338 19900419

Priority Number(s): WO1990JP00511 19900419; JP19890101026 19890420

IPC Classification: G06F12/16; G11C5/00

EC Classification: G06F12/14C1A, G11C5/00, G11C5/14D, G11C7/22, G11C8/18

Equivalents: AU5437990, AU636881, BR9006726, CA2031506, DE69031528D, DE69031528T, ES2109923T, JP2278447, JP3007638B2, KR149503

Cited Documents: EP0268419; US4332009; EP0109504; WO8200535; EP0276450

Abstract

A memory cartridge according to this invention is mounted removably to a D processing device such as a portable electronic game machine containing a CPU, and contains a programmable ROM (PROM) and a bank switching circuit, and an external RAM is contained in the bank switching circuit. The external RAM is backed up by a cell. First and second key data are previously written into the PROM. After power supply is switched on, a reset signal is outputted when the power-supply voltage reaches a given value. When the first key data is read from the PROM and also a reset signal is outputted the external ROM becomes accessible by the CPU. When and after the second key data is read from the PROM, access by the CPU to the external RAM is prohibited.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

PCT

世界知的所有権機関

国際事務局



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類5 G06F 12/16, G11C 5/00	A1	(11) 国際公開番号 WO 90/13085
		(43) 国際公開日 1990年11月1日(01.11.1990)
<p>(21) 国際出願番号 PCT/JP90/00511 (22) 国際出願日 1990年4月19日(19. 04. 90)</p> <p>(30) 优先権データ 営頭平1/101026 1989年4月20日(20. 04. 89) JP</p> <p>(71) 出願人(米国を除くすべての指定国について) 任天堂株式会社(NINTENDO CO., LTD.)[JP/JP] 〒605 京都府京都市東山区福福上高松町60番地 Kyoto, (JP)</p> <p>(72) 発明者: および 司田 聰(OKADA, Satoru)[JP/JP] 〒505 京都府京都市東山区福福上高松町60番地 任天堂株式会社内 Kyoto, (JP)</p> <p>(74) 代理人 兼理士 山田義人(YAMADA, Yoshito) 〒541 大阪府大阪市中央区伏見町2丁目6番6号 タナベビル Osaka, (JP)</p> <p>(81) 指定国 AT(欧州等許), AU, BE(欧州等許), BR, CA, CH(欧州等許), DE(欧州等許), ES(欧州等許), FR(欧州等許), GB(欧州等許), IT(欧州等許), KR, LU(欧州等許), NL(欧州等許), SE(欧州等許), US.</p>		
添付公開書類 国際請求回復書 通話		

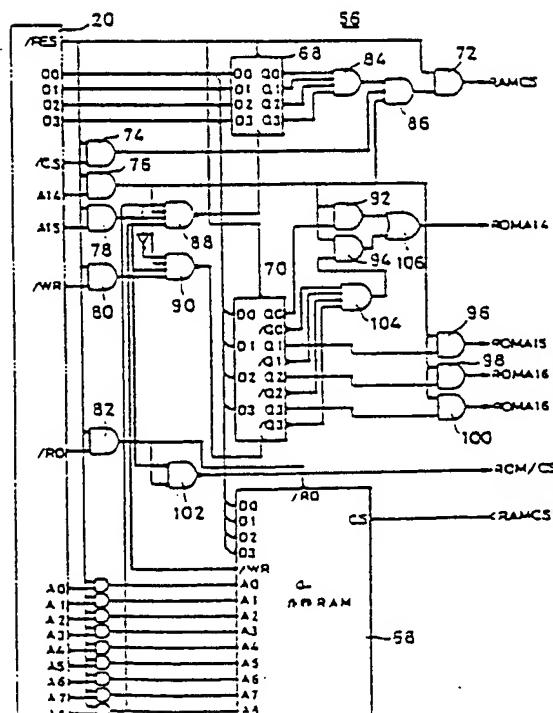
(54) Title: MEMORY CARTRIDGE

(54) 発明の名称 メモリカートリッジ

..... external

(57) Abstract

A memory cartridge according to this invention is mounted removably to a D processing device such as a portable electronic game machine containing a CPU, and contains a programmable ROM (PROM) and a bank switching circuit, and an external RAM is contained in the bank switching circuit. The external RAM is backed up by a cell. First and second key data are previously written into the PROM. After power supply is switched on, a reset signal is outputted when the power-supply voltage reaches a given value. When the first key data is read from the PROM and also a reset signal is outputted the external ROM becomes accessible by the CPU. When and after the second key data



(57) 要約

メモリカートリッジはCPUを含む携帯用電子ゲーム機のようなD処理装置に着脱可能に装着され、プログラムROMおよびバンク切換回路を含み、そのバンク切換回路は外部RAMを含む。外部RAMは電池によってバックアップされる。プログラムROMには第1の鍵データおよび第2の鍵データが予め書き込まれている。電源が投入された後、電源電圧が一定値に達するとリセット信号が出力される。第1の鍵データがプログラムROMから読み出されかつきセット信号があるとき、外部RAMがCPUによってアクセスされ得るようになる。第2の鍵データがプログラムROMから読み出されたとき、それ以後、CPUの外部RAMに対するアクセスが禁止される。

情報としての用途のみ

PCTに基づいて公開される国際出願のハンドレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア	ES スペイン	MG マダガスカル
AU オーストラリア	FI フィンランド	ML マリ
BB バルバードス	FR フランス	MR モーリタニア
BE ベルギー	CA カボン	MW マラウイ
BF ブルキナ・ファソ	GB イギリス	NL オランダ
BG ブルガリア	GR ギリシャ	NO ノルウェー
BJ ブリナン	HU ハンガリー	RO ルーマニア
BR ブラジル	IT イタリー	SD スーダン
CA カナダ	JP 日本	SE スウェーデン
CF 中央アフリカ共和国	KP 朝鮮民主主義人民共和国	SN セネガル
CG コンゴ	KR 大韓民国	SU ソビエト連邦
CH スイス	LJ リトアニア・リトシャ	TD チャード
CM カメルーン	LK スリランカ	TG トーゴ

明 索 田 書

メモリカートリッジ

技術分野

この発明はメモリカートリッジに関する。より特定的には、この発明は、マイクロプロセサを含むデータ処理装置に着脱自在に装着されかつバックアップ電源によってバックアップされる外部RAMを含む、メモリカートリッジに関する。

従来技術

たとえば、昭和63年(1988)10月12日付で出願公告された特開昭63-245535号には、家庭用ビデオゲーム機のようなデータ処理装置に対して着脱自在なメモリカートリッジが開示されている。この従来技術においては、メモリカートリッジにRAMを設け、そのRAMを電池によってバックアップするようにしている。

このような外部RAMを有する外部メモリカートリッジにおいて第7図に示す電圧不安定期間T1またはT2においてRAMにデータが書き込まれると、そのデータが破壊されてしまうことがある。通常、この期間T1またはT2では、データ処理装置においてパワーオン(またはパワーオフ)リセットが働いているため、外部RAMへのアクセスはできないが、パワーオン(またはパワーオフ)リ

セットが働く期間と第7図に示す電圧不安定期間T1（またはT2）とがずれた場合、電圧不安定期間T1またはT2で外部RAMがアクセスされることがある。何故なら、データ処理装置の電源が或る程度以上になればリセット状態は解除されて外部RAMへのアクセスも可能になるが、そのリセット状態の解除は必ずしも電源電圧が正常動作に必要な電圧になっているとは限らないからである。このときの動作がたまたま外部RAMへの書き動作であったとき、データが破壊されてしまうのである。

このような問題を解決する方法として、データ処理装置の電源電圧を厳密に監視して、その電源電圧が正常動作可能な大きさに安定しているときにのみにパワーオン（パワーオフ）リセットを解除する方法もある。

しかしながら、このような電源電圧監視回路を設けるためには、余分な部品が必要であり、したがってシステムとして高価になってしまう。

発明の概要

それゆえに、この発明の主たる目的は、簡単な方法で外部RAMのデータの不所望な書き込みまたは消去を防止できる、メモリカートリッジを提供することである。

この発明は、データ処理装置に着脱自在に装着され得るメモリカートリッジであって、外部RAM、外部RAMへアクセス可能なことを示す第1の健データを発生するように予めプログラムされてい

るプログラムROM、プログラムROMから読み出された第1の鍵データを保持するための保持手段、および保持手段によって第1の鍵データが保持されているときデータ処理装置からの選択信号に応答して外部RAMを能動化する制御手段を備える、メモリカートリッジである。

プログラムROMから読み出されたデータが保持手段に保持される。そのデータが第1の鍵データ以外のデータであるとき、制御手段はデータ処理装置からの外部RAMのアクセスないし選択を許容しない。そして、保持手段に保持されたデータが第1の鍵データであるとき、データ処理装置からの選択信号に応答して、制御手段によって選択信号が外部RAMに与えられ、それによって外部RAMがアクセス可能になる。

この発明によれば、プログラムROMから鍵データが読み出されたときにのみデータ処理装置が外部RAMにアクセス可能にされるので、外部RAMのデータの不所望な書き込みや消去が防止できる。すなわち、電源電圧が不安定な状態でプログラムROMの鍵データを読み出すステップを通過する確率は非常に小さく、結果的に、電源電圧が安定した期間にのみ外部RAMが選択されアクセス可能にされる。

この発明の上述の目的およびその他の目的、特徴、局面および利点は、添付図面に関連して行われる以下の実施例の詳細な説明から一層明らかとなろう。

図面の簡単な説明

第1図はこの発明の一実施例のパンク切換回路を示す回路図である。

第2図はこの発明が適用され得るゲーム装置の一例を示す斜視図である。

第3図は第2図実施例の全体構成を示すブロック図である。

第4図は第3図に示すC P Uコアのアドレス空間を示すメモリマップである。

第5図はプログラムROMの一部を示す図解図である。

第6図はこの実施例の動作を示すフロー図である。

第7図はデータ処理装置本体の電源電圧の状態を示す図解図である。

発明を実施するための最良の形態

第2図はこの発明が適用され得る携帯用液晶ゲーム装置の一例を示す斜視図である。ただし、この発明はこのような携帯用液晶ゲーム装置にだけでなく、本体に着脱自在に装着されるメモリカートリッジであってバックアップ電池によってバックアップされるRAMを内蔵する全てのメモリカートリッジに適用可能であることを予め指摘しておく。

この携帯用液晶ゲーム装置（以下、単に「ゲーム装置」という）10は本体12を含み、その本体12の上面には、ドットマトリックス方式に従って表示セグメントがドット配列されたLCDパネル1

4が設けられる。

この本体12の裏面上部には、図示しない挿入口が設けられ、その挿入口には、第2図において2点鎖線で示すようにメモリカートリッジ16が着脱自在に装着される。そして、このメモリカートリッジ16にはプログラムROMが内蔵され、このプログラムROMにはゲームプログラムデータが予め記憶される。したがって、メモリカートリッジ16がゲーム装置10の本体12に装着されると、ゲームプログラムが実行され、LCDパネル14上にゲームのための画像が表示される。

そして、本体12の上面にはそのようにしてLCDパネル14に表示されたゲームキャラクタを移動させたりするとき操作する十字キースイッチ18が設けられる。この十字キーは4つの方向指示部を有し、そのいずれかを押して、ゲームキャラクタを上または下もしくは左または右に動かすことができる。

第3図を参照して、上述のメモリカートリッジ16は、32ピンコネクタ20によって、本体12内に内蔵されたCPU22に接続される。CPU22は、CPUコア24を含み、このCPUコア24がコントロールバス26a、アドレスバス26bおよびデータバス26cによって32ピンコネクタ20に接続される。そのため、メモリカートリッジ16が装着されたとき、CPUコア24とメモリカートリッジ16とが接続される。

CPUコア24にはさらに、ポート27を介して第2図に示す十字キースイッチ18などのキーマトリクスが接続される。そして、

CPUコア24に関連して、内部RAM(ワーキングRAM)28および内部ROM30が設けられる。内部ROM30はメモリ切換回路32によって選択されているときのみ、CPUコア24によってアクセスされる。

CPUコア24は、DMAコントローラ34の制御の下で、ラインバッファ36を介して、LCDコントローラ38に表示データを出力する。そして、LCDコントローラ38は、LCD表示RAMインターフェース40を介して、表示RAM42に接続される。表示RAM42は、図示しないが、キャラクタRAMおよびVRAMを含む。したがって、LCDコントローラ38は、CPUコア24から出力された表示データを表示RAM42からのLCDドライブ信号に変換する。すなわち、CPUコア24からの表示データがキャラクタRAMおよびVRAMのアドレスを指定し、キャラクタRAMおよびVRAMからは、キャラクタ(またはオブジェクト)信号およびバックグラウンド(背景)信号が出力され、それぞれの信号がLCDコントローラ38によって合成されてLCDドライブ信号となる。

そして、このLCDドライブ信号は、LCDドライブ信号バッファ44を介して、LCDコマンドライバ46およびLCDセグメントドライバ48に与えられる。したがって、LCDコマンドライバ46およびLCDセグメントドライバ48によって、CPUコア24からの表示データに従った画像がLCDパネル14上に表示される。

なお、輝度ボリューム50が設けられ、この輝度ボリューム50はLCDバッファアンプ52に接続され、したがって輝度ボリューム50を操作することによって、LCDパネル14上の輝度を調整することができる。

先に説明したように、この発明に従ったメモリカートリッジ16は、データ処理装置すなわちCPU22に対して着脱自在に装着される。メモリカートリッジ16は、CPU22のCPUコア24を作動させるためのプログラムデータを記憶するプログラムROM54を含む。このプログラムROM54は、たとえば2Mビットのメモリ領域を有する。メモリカートリッジ16はさらにプログラムROM54のバンクを切り換えるためのバンク切換回路56を有し、そのバンク切換回路56には外部RAM58が含まれる。ただし、この外部RAM58は、バンク切換回路56と別に設けられてもよい。

そして、バンク切換回路56すなわち外部RAM58には、たとえばリチウム電池のような電池60からのバックアップ電源が印加される。すなわち、電池60からの電圧は順方向のダイオード62aを通して外部RAM58に印加される。しかしながら、外部RAM58へは、さらに本体側からの電圧Vccが順方向のダイオード62bを通して印加される。したがって、電池60からの電圧は、本体側の電源電圧Vccがダイオード62aの逆バイアス電圧以下のときにのみ外部RAM58に印加される。

CPUコア24に接続されたコントロールバス26a、アドレス

バス 26 b およびデータバス 26 c がコネクタ 20 を通して、メモリカートリッジ 16 のプログラム ROM 54 およびバンク切換回路 56 に接続される。

なお、CPU 22 に関連して、第2図に示すように本体 12 には電源スイッチ 64 が設けられ、この電源スイッチ 64 を介して電源 Vcc が印加される。その電源 Vcc にはリセット回路 66 が接続され、このリセット回路 66 を経た電源 Vcc が所定レベル以下のとき、CPUコア 24 はリセット信号を出力してすべての回路を不能動化する。そして、このリセット回路 66 からの電圧すなわち電源電圧 Vcc が所定レベルになったとき、CPUコア 24 はそのリセット状態を解除して全体を能動化する。

CPUコア 24 のアドレス空間は第4図に示すように、アドレス "0000H" からアドレス "DFFFH" までである。ただし "H" は16進数であることを示す。アドレス "000H~7FFFH" がメモリカートリッジ 16 のプログラム ROM 54 に割り付けられている。そして、アドレス "8000H~9FFFFH" が表示 RAM 42 に割り付けられ、アドレス "A000H~BFFFFH" が外部RAM 58 に割り付けられ、アドレス "C000H~DFFFFH" が内部RAM 30 に割り付けられる。この実施例では、外部RAM 58 は2048ビット ($= 512 \times 4$ ビット) であるため、実際には、CPUコア 24 のアドレス空間 "A000H~A1FFFH" が外部RAM 58 のために使用される。

なお、プログラム ROM 54 は前述のように 2M ビット ($= 16$

k バイト × 16) であるため、バンク切換回路 56 によって、バンク 1 からバンク 15 までの合計 15 バンクが適宜選択して使用される。

なお、プログラム ROM 54 のためのアドレス “0000H～3FFFH” は、常駐エリアとして使用されるいわゆるホームバンクである。

第 1 図を参照して、バンク切換回路 56 は、前述のように外部 RAM 58 を含む。この外部 RAM 58 のアドレス入力 A0～A8 には、CPU コア 24 のアドレスバス 26b のアドレスビット A0～A8 がコネクタ 20 を介して接続される。ただし、リセット信号／RES (“／” は反転記号である。以下同様) が “1” のときにのみアンドゲートを介してアドレスデータが外部 RAM 58 に与えられる。リセット信号／RES は、前述のように、リセット回路 66 からの電圧すなわち電源電圧 Vcc が所定レベルに達するまでは “0” であり、電圧安定期間 (第 6 図の T3) のとき “1” となる。

上述のリセット信号／RES はさらに、第 1 レジスタ (Reg0) 68 のクリア入力、第 2 レジスタ (Reg1) 70 のクリア入力およびアンドゲート 72～82 のそれぞれの一方入力として与えられる。

上述の CPU コア 24 のデータバス 26c の下位 4 ビット D0～D3 は、コネクタ 20 を介して、第 1 レジスタ 68、第 2 レジスタ 70 および外部 RAM 58 のそれぞれのデータ入力 D0～D3 に与えられる。

第1レジスタ68はプログラムROM54からの“鍵データ”をストアするためのレジスタであり、そして第2レジスタ70はプログラムROM54のバンク選択データをストアするためのレジスタである。

第1レジスタ68の出力Q0～Q3は4入力アンドゲート84のそれぞれの入力として与えられる。このとき、出力Q0およびQ2のみが反転されてアンドゲート84に与えられる。そして、アンドゲート84の出力は、アンドゲート74および76の出力のそれぞれの反転とともに、3入力アンドゲート86の一入力として与えられる。アンドゲート86の出力が前述のアンドゲート72の他方入力に与えられる。

なお、アンドゲート74の他方入力には、CPUコア24からのチップセレクト信号/CSが、コネクタ20を介して与えられる。このチップセレクト信号/CSは、CPUコア24が外部RAM58をアクセスするときにCPUコア24から出力される。

また、前述のアンドゲート76および78のそれぞれの他方入力には、CPUコア24のアドレスバス26bの上位2ビットA14およびA15が、コネクタ20を介してそれぞれ与えられる。これらアンドゲート76および78のそれぞれの出力は、反転されて、それが4入力の NANDゲート88および90のそれぞれの入力として与えられる。アンドゲート76の出力はさらに、アンドゲート92～100のそれぞれの一方入力に与えられる。そして、アンドゲート78の出力はさらに、反転されて NANDゲート102の一

方入力に与えられる。

アンドゲート80の他方入力にはC P Uコア24からの書込信号／W Rがコネクタ20を介して与えられ、アンドゲート82にはC P Uコア24からの読出信号／R Dがコネクタ20を介して与えられる。そして、アンドゲート80の出力は反転されて、ナンドゲート88および90のそれぞれの一入力として与えられるとともに、-----

外部RAM58の書込信号／W Rとして与えられる。さらに、アンドゲート82の出力は、反転されて前述のナンドゲート102の他方入力に与えられ、このナンドゲート102の出力はプログラムROM54を選択するための選択信号R O M／C Sとなる。

そして、前述のナンドゲート88の出力は第1レジスタ68のクロック入力として与えられ、ナンドゲート90の出力は第2レジスタ70のクロック入力として与えられる。

第2レジスタ70の反転出力／Q 0～／Q 3が4入力アンドゲート104のそれぞれの入力に与えられる。そして、アンドゲート104の出力は前述のアンドゲート94の他方入力に与えられ、アンドゲート92の他方入力には第2レジスタ70からの出力Q 0が与えられる。これらアンドゲート92および94の出力はオアゲート106を経て、プログラムROM54のためのアドレスビットR O M A 1 4となる。そして、アンドゲート94, 98および100のそれぞれの他方入力には第2レジスタ70の出力Q 1, Q 2およびQ 3が与えられ、それぞれの出力はプログラムROM54のアドレスビットR O M A 1 5, R O M A 1 6およびR O M A 1 7となる。

12

したがって、これらアンドゲート96～100は、プログラムROM54の常駐エリアのアドレス“4000H”以上のアドレスデータすなわちバンク1～バンク15の指定データを発生する。

第5図に示すように、プログラムROM54には、任意のプログラムアドレスに、外部RAM58の鍵を開くためのプログラムをストアするプログラムステップPS1およびその鍵を閉めるためのプログラムをストアするプログラムステップPS2を含む。プログラムステップPS1は、たとえばLDA0101(アキュムレータにデータ“0101”をロードせよ)とLDReg0A(アキュムレータのデータをReg0すなわち第1レジスタ68にロードせよ)というプログラムを含む。プログラムステップPS2は、たとえばLDA0000(アキュムレータにデータ“0000”をロードせよ)およびLDReg0A(アキュムレータのデータをReg0すなわち第1レジスタ68にロードせよ)を含む。

したがって、プログラムROM54のプログラムステップPS1が実行されたとき、データ入力D0～D3には“0101”がロードされる。したがって、第1レジスタ68が NANDゲート88からのラッチ信号を受けたとき、第1レジスタ68にはそのデータ“0101”がロードされ、アンドゲート84の出力が“1”となる。一方、CPUコア24は、このとき、外部RAM58のチップセレクト信号/CSを出力しているため、アドレスビットA14が“0”になったときすなわち内部RAM28から外部RAM58に切り換えられたとき、後続のアンドゲート86から“1”が出力され、

その出力がアンドゲート72に与えられる。このアンドゲート72の他方入力には前述のように電源電圧Vccが不安定な期間に“0”となりかつ電源電圧Vccが安定したとき“1”となるリセット信号/RESが与えられる。したがって、アンドゲート72は、電源電圧が安定したときとき外部RAM58のチップセレクト信号RAMCSを外部RAM20に与える。このようにして、プログラムROM54から第1レジスタ68に鍵を開けるためのデータたとえば“0101”がロードされかつ電源電圧が安定したときにのみ外部RAM58が選択される。なお、“第1の鍵データ”としては、“0101”以外に任意のデータが利用可能である。

また、プログラムROM54のプログラムステップPS2が実行されたとき、第1レジスタ68にはデータ“0000”がストアされる。したがって、アンドゲート84の出力は“0”であり、そのためにアンドゲート86の出力も“0”となり、アンドゲート72の出力すなわち外部RAM選択信号RAMCSは“0”に保持される。したがって、プログラムROM54のプログラムステップPS2を実行した後には、外部RAM58はもはやアクセスできない。このようにして、プログラムステップPS2は外部RAM58の鍵を閉める。なお、“0000”以外の任意のデータが鍵を閉めるための第2の鍵データとして利用されてもよい。

第6図を参照して、電源スイッチ64（第2図および第3図）が投入されると、CPUコア24は、リセット回路66からの出力電圧が所定レベルに達するまで、ステップS1においてパワーオンリ

セット状態とする。そして、続くステップS2において、プログラムROM54のプログラムを実行して、そのプログラムに基づいて適宜データ処理を行う。

そして、ステップS3では、先に説明したプログラムステップPS1を実行して、外部RAM58の鍵を開ける。そして、CPUコア24は、次のステップS4において、外部RAM58へのデータの書き込みを行い、ステップS5においてその書き込み終了が検出されると、続くステップS6において、CPUコア24は先に説明したプログラムステップPS2を実行する。それによって、外部RAM58の鍵が閉められる。その後、ステップS7において適宜他のプログラム処理を実行し、電源スイッチ64のオフによって終了する。

このようにして、CPUコア24はプログラムROM54のプログラムステップPS1すなわちステップS3、およびプログラムステップPS2すなわちステップS6を実行し、外部RAM58の鍵を開閉し、その期間だけ、外部RAM58をアクセスしてデータの書き込みまたは読み出しができる。

なお、この発明は、上述の実施例のようなゲーム装置としてだけではなく、バックアップされた外部RAMを有する外部メモリを装着する形式の任意のデータ処理装置に適用可能である。

この発明が詳細に説明され図示されたが、それは単なる図解および一例として用いたものであり、限定であると解されるべきではないことは明らかであり、この発明の精神および範囲は添付されたクレームの文言によってのみ限定される。

請求の範囲

1 データ処理装置に着脱自在に装着されるメモリカートリッジであって、次のものを備える：

外部RAM；

前記外部RAMへアクセス可能なことを示す第1の鍵データを発生するように予めプログラムされているプログラムROM；

前記プログラムROMから読み出された前記第1の鍵データを保持するための保持手段；および

前記保持手段によって前記第1の鍵データが保持されているとき前記データ処理装置からの選択信号に応答して前記外部RAMを能動化する制御手段。

2 請求の範囲第1項に従属するメモリカートリッジであって、前記プログラムROMはさらに前記外部RAMへのアクセスを禁止する第2の鍵データを発生するように予めプログラムされていて、

前記第2の鍵データが前記保持手段に保持されたとき前記外部RAMを不能動化するための第2の制御手段をさらに備える。

補正された請求の範囲

[1990年9月24日(24.09.90)国際事務局受理;出願当初の請求の範囲1は補正された。新しい請求の範囲3-13が加えられた。請求の範囲2は変更なし。(5頁)]

1 (補正後) データ処理装置に対して着脱自在に装着されるメモリカートリッジであって、次のものを備える:

外部RAM;

所望のプログラム処理を実行させるために前記データ処理装置に与えられるプログラムデータおよび前記外部RAMへアクセス可能なことを示す第1の鍵データを記憶したプログラムROM;

前記プログラムROMから読み出された前記第1の鍵データを保持するための保持手段;および

前記保持手段によって前記第1の鍵データが保持されているとき少なくとも前記データ処理装置から前記プログラムROMを選択する選択信号が与えられていないことに応答して前記外部RAMを能動化する制御手段。

2 請求の範囲第1項に従属するメモリカートリッジであって、前記プログラムROMはさらに前記外部RAMへのアクセスを禁止するための第2の鍵データを記憶していて、

前記第2の鍵データが前記保持手段に保持されたとき前記外部RAMを不能動化するための第2の制御手段をさらに備える。

3 (追加) 請求の範囲第1項に従属するメモリカートリッジであって、前記データ処理装置は書き信号を発生し、

前記制御手段は、前記データ処理装置から前記選択信号が与えられないことおよび前記保持手段が前記第1の鍵データを保持していることを検出する第1の検出手段と、前記第1の検出手段から

の出力信号が与えられかつ前記データ処理装置から前記書込信号が与えられたとき前記外部RAMへのデータの書き込みを能動化する書き能動化手段とを含む。

4 (追加) 請求の範囲第3項に従属するメモリカートリッジであって、前記データ処理装置はさらに読み出し信号を発生し、

前記制御手段は前記第1の検出手段からの出力信号が与えられかつ前記データ処理装置から前記読み出し信号が与えられたとき前記外部RAMからのデータ読み出しを能動化し、前記データ処理装置から前記選択信号および前記読み出し信号が与えられたとき前記プログラムROMの読み出しを能動化する読み出し能動化手段を含む。

5 (追加) 請求の範囲第3項に従属するメモリカートリッジであって、前記データ処理装置は電源が投入された後供給される電圧が安定したとき状態信号をさらに発生し、

前記第1の検出手段は前記データ処理装置から前記選択信号が与えられていないことおよび前記保持手段が前記第1の鍵データを保持していることならびに前記データ処理装置から前記状態信号が出力されたことを検出して前記出力信号を導出する。

6 (追加) 書込信号、読み出し信号、所望のプログラム処理のためのデータおよびアドレスデータを発生するデータ処理装置に対して着脱自在に装着されるメモリカートリッジであって、次のものを備える：

前記データ処理装置から供給される前記データを受けるデータ入力端子；

前記データ処理装置から供給される前記アドレスデータを受けるアドレスデータ入力端子；

そのデータ入力端子が前記データ入力端子に接続されかつそのアドレス入力端子が前記アドレスデータ入力端子に接続される外部RAM；

所望のプログラム処理を実行させるために前記データ処理装置に与えられるプログラムデータおよび前記外部RAMにアクセス可能なことを示す第1の鍵データを記憶したプログラムROM；

そのデータ入力端が前記データ入力端子に接続され前記データ処理装置を介して前記プログラムROMから読み出された前記第1の鍵データを保持するための保持手段；

前記データ処理装置から前記プログラムROMを選択する選択信号が与えられていないことおよび前記保持手段が第1の鍵データを保持していることを検出する第1の検出手段；および

前記第1の検出手段の出力信号が与えられかつ前記データ処理装置から書き込み信号が与えられたとき前記外部RAMへのデータの書き込みを能動化する書き込み能動化手段。

7 (追加) 請求の範囲6に従属するメモリカートリッジであって、前記第1の検出手段の出力信号が与えられかつ前記データ処理装置から読み出信号が与えられたとき前記外部RAMからのデータの読み出しを能動化する読み出能動化手段をさらに備える。

8 (追加) 請求の範囲第7項に従属するメモリカートリッジであって、前記読み出能動化手段は前記第1の検出手段の出力信号が与

えられないとき前記外部RAMからのデータ読出しを禁止し、前記選択信号が与えられかつ前記読出信号が与えられたとき前記プログラムROMの読出しを能動化する。

9 (追加) 請求の範囲6に従属するメモリカートリッジであって、前記プログラムROMは前記外部RAMへの書込データを発生した後に外部RAMへのアクセスを禁止するための第2の鍵データを発生するように予めプログラムされていて、

前記第2の鍵データが前記保持手段に保持されたとき前記外部RAMを不能動化するための不能動化手段をさらに含む。

10 (追加) 請求の範囲第6項に従属するメモリカートリッジであって、前記アドレスデータ入力端子は複数のアドレスデータラインに接続されていて、前記プログラムROMは、それぞれが前記アドレスデータ入力端子のライン数で指定可能なメモリ空間を有する複数のメモリバンクを有するように構成され、前記アドレスデータ入力端子の下位アドレスには前記アドレスデータが与えられかつバンク選択データが上位アドレスとして与えられ、

前記バンク選択データを保持するバンク選択データ保持手段、

前記データ処理装置から前記バンク選択データ保持手段を指定するアドレスデータが出力されたことに応答して前記アドレスデータ入力端子に与えられるべきバンク選択データを前記バンク選択データ保持手段に書込む書込手段；および

前記バンク選択データ保持手段に保持されているバンク選択データを前記プログラムROMの上位アドレスに与えるバンク選択データ

タ供給手段をさらに含む。

11 (追加) 請求の範囲第10項に従属するメモリカートリッジであって、前記バンク選択データは前記プログラムROMに記憶されかつ前記データ処理装置を介して与えられる。

12 (追加) 請求の範囲第6項に従属するメモリカートリッジであって、前記データ処理装置は、電源が投入された後供給される電圧が安定したとき状態信号を発生し、

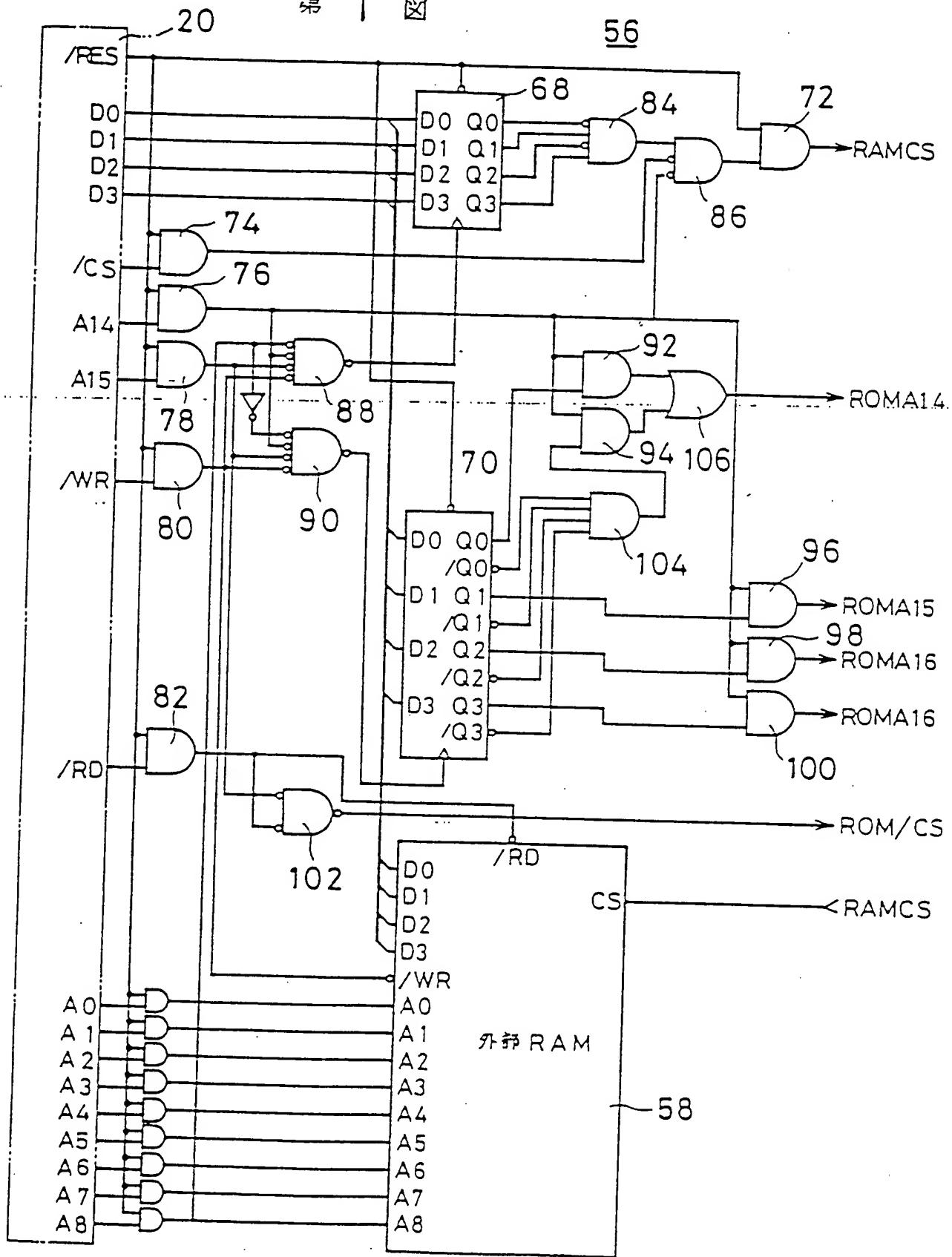
前記第1の検出手段は前記データ処理装置から前記選択信号が与えられていないことおよび前記保持手段が第1の鍵データを保持していることならびに前記データ処理装置から前記状態信号が出力されたことを検出して前記出力信号を導出する。

13 (追加) 請求の範囲第6項に従属するメモリカートリッジであって、前記メモリカートリッジはデータ処理装置に装着されたとき電源の供給を受け、さらに

前記外部RAMにバックアップ電力を供給する電池；および前記データ処理装置から電源が前記外部RAMに供給されているときは前記電池からの電力を外部RAMに供給するのを禁止し、前記データ処理装置からの電源が前記外部RAMに供給されていないときは電池の電力を前記外部RAMに供給するとともに前記電池の電力が前記データ処理装置へ供給されるのを禁止するスイッチング手段を備える。

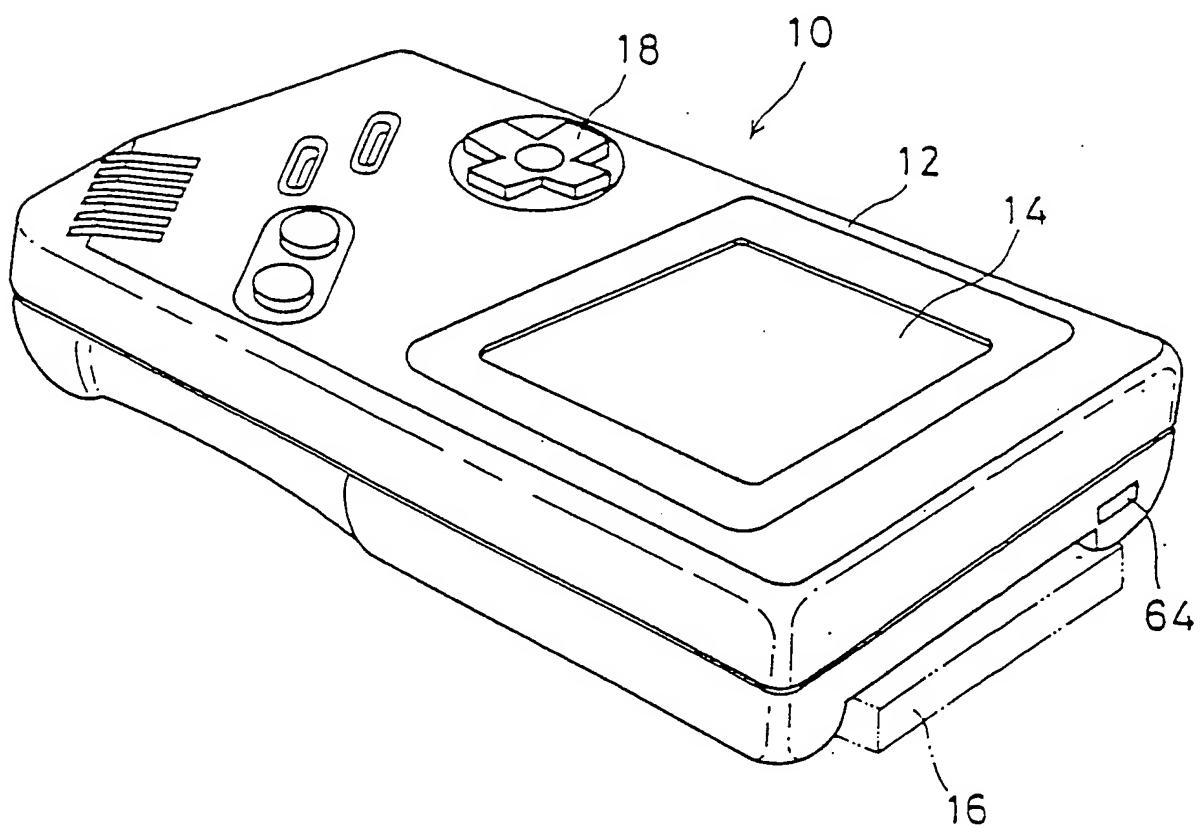
1 / 5

第 1 図



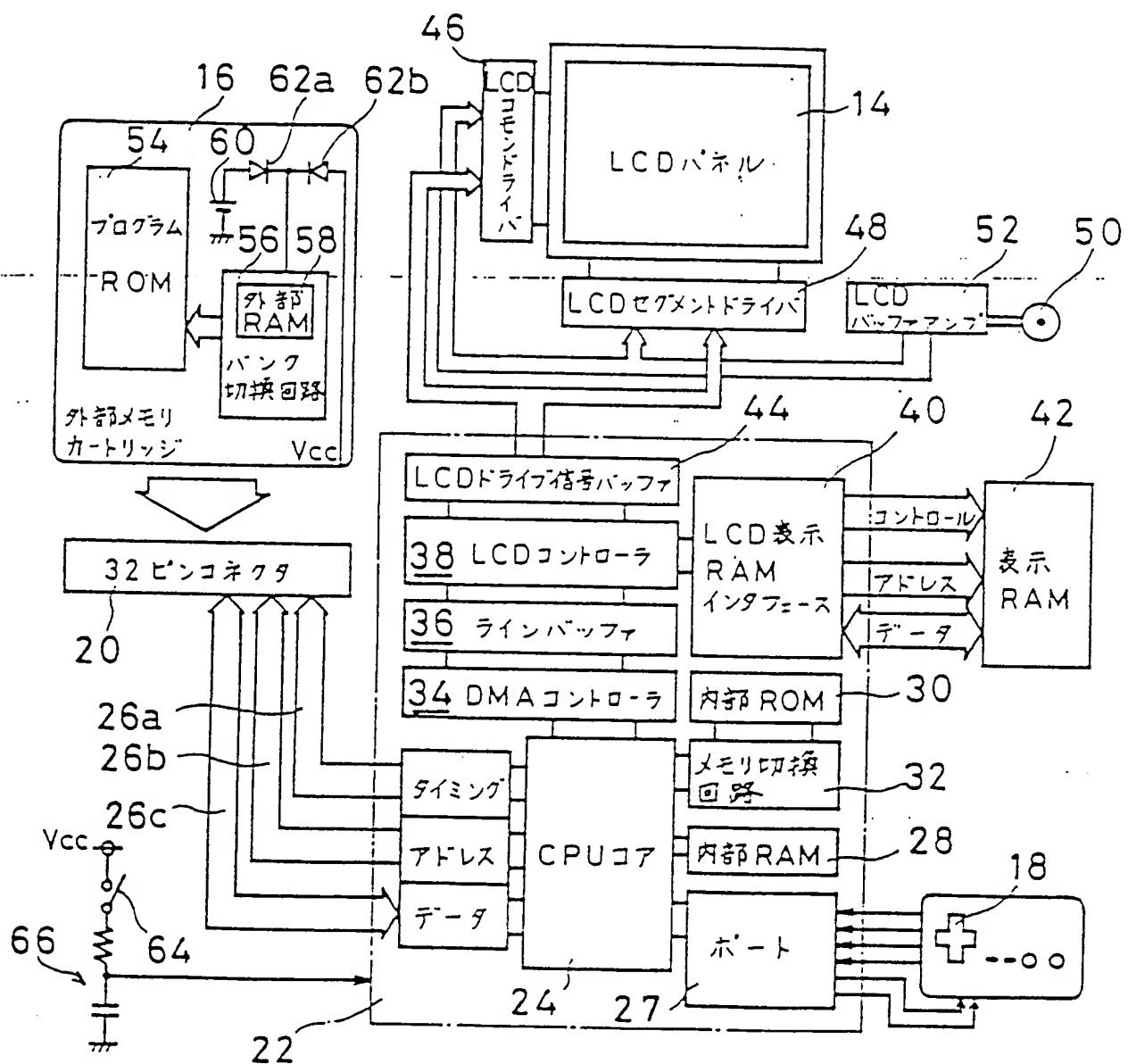
2/
5

第 2 図



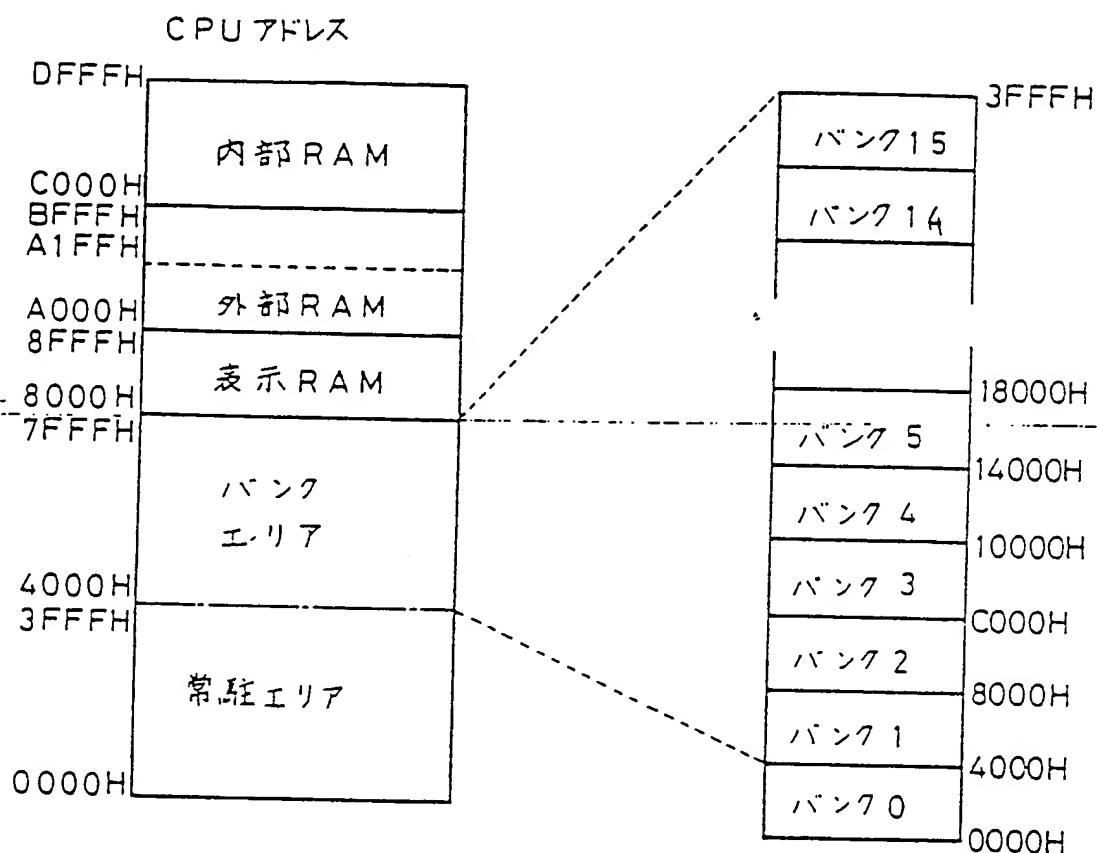
3/5

第 3 図

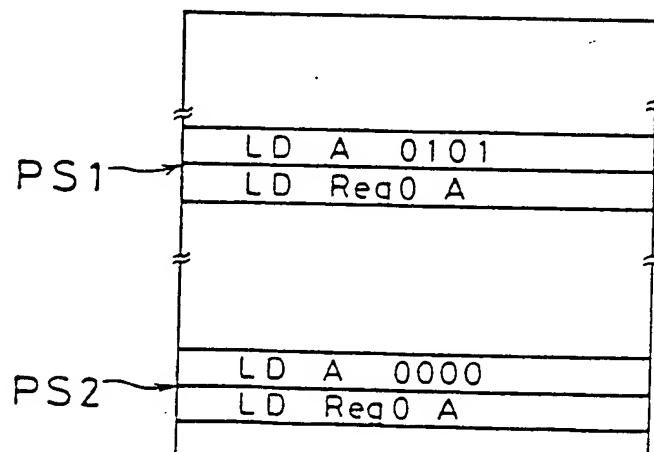


4/5

第 4 図

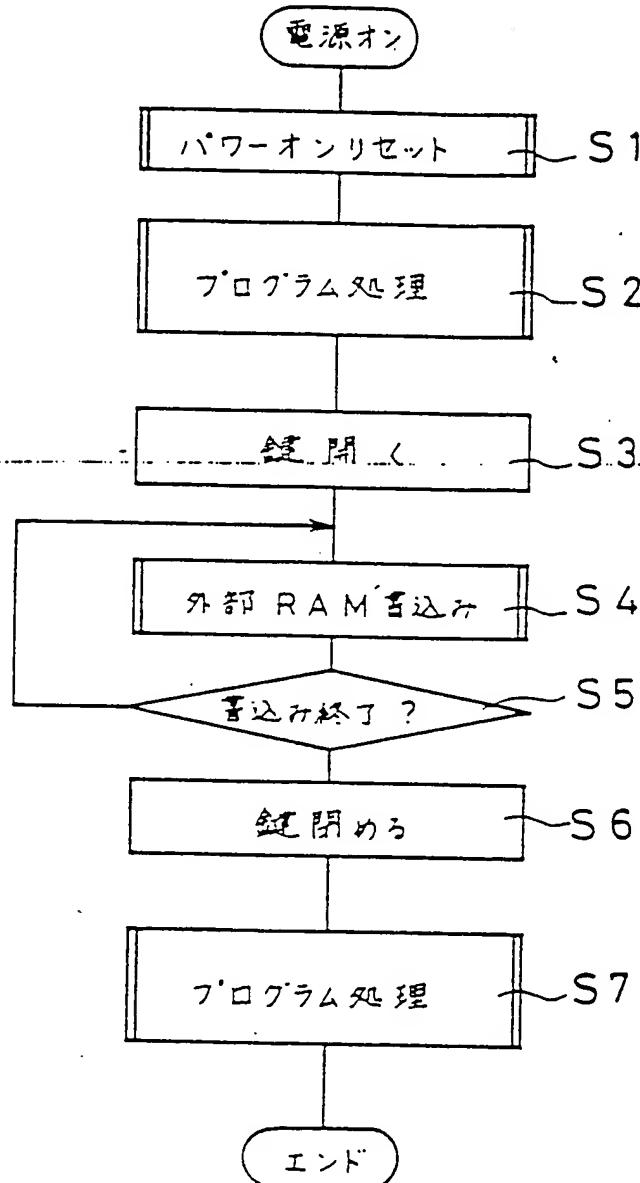


第 5 図

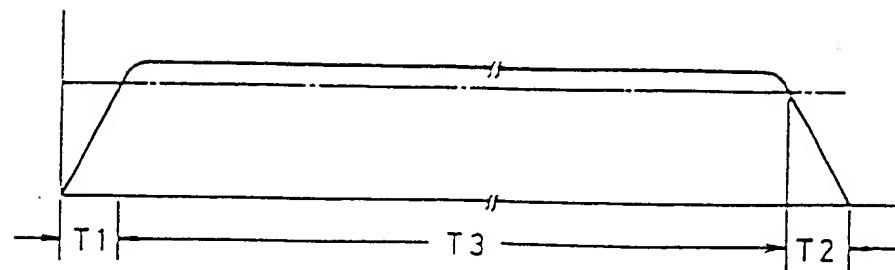


5/5

第 6 図



第 7 図



INTERNATIONAL SEARCH REPORT

International Application No. PCT/JP90/00511

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶

According to International Patent Classification (IPC) or to both National Classification and IPC

Int. Cl⁵ G06F12/16, G11C5/00

II. FIELDS SEARCHED

Minimum Documentation Searched ⁷

Classification System	Classification Symbols
IPC	G06F12/14 - 12/16

Documentation Searched other than Minimum Documentation
to the Extent that such Documents are Included in the Fields Searched ⁸

Jitsuyo Shinan Koho	1971 - 1989
Kokai Jitsuyo Shinan Koho	1971 - 1989

III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹

Category ¹⁰	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
A	JP, A, 62-271031 (Fujitsu Ltd.), 25 November 1987 (25. 11. 87), (Family: none)	1, 2
A	JP, A, 55-130000 (Mitsubishi Electric Corp.), 8 October 1980 (08. 10. 80), (Family: none)	1, 2
A	JP, U, 62-117650 (Nintendo Co., Ltd.), 25 July 1987 (25. 07. 87), (Family: none)	1, 2

* Special categories of cited documents: ¹⁰

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

IV. CERTIFICATION

Date of the Actual Completion of the International Search

July 4, 1990 (04. 07. 90)

Date of Mailing of this International Search Report

July 23, 1990 (23. 07. 90)

International Searching Authority

Japanese Patent Office

Signature of Authorized Officer

I. 発明の属する分野の分類

国際特許分類 (IPC) --- I-n-t-C L

G 06 F 12/16, G 11 C 5/00

II. 国際調査を行った分野

調査を行った最小限資料

分類体系	分類記号
IPC	G 06 F 12/14-12/16

最小限資料以外の資料で調査を行ったもの

日本国実用新案公報 1971-1989年

日本国公開実用新案公報 1971-1989年

III. 関連する技術に関する文獻

引用文獻の カテゴリー	引用文獻名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	JP,A,62-271031(富士通株式会社), 25.11月.1987(25.11.87),(ファミリーなし)	1, 2
A	JP,A,55-130000(三菱電機株式会社), 8.10月.1980(08.10.80),(ファミリーなし)	1, 2
A	JP,U,62-117650(任天堂株式会社), 25.7月.1987(25.07.87),(ファミリーなし)	1, 2

※引用文獻のカテゴリー

「A」特に関連のある文獻ではなく、一般的技術水準を示すもの
 「E」先行文獻ではあるが、国際出願日以後に公表されたもの
 「I」優先権主張に疑義を提起する文獻又は他の文獻の発行日若しくは他の特別な理由を確立するために引用する文獻
 (理由を付す)

「O」図面による開示、使用、展示等に言及する文獻

「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文獻

「T」国際出願日又は優先日の後に公表された文獻であって当該と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文獻であって、当該文獻のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文獻であって、当該文獻と他の1以上の文獻との、当事者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリーの文獻

IV. 説 明

国際調査を完了した日 04.07.90	国際調査報告の発送日 23.07.90
国際調査機関 日本国特許庁 (ISA/JP)	権限のある委員 5 B 7 7 3 7 特許庁審査官 吉岡

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.